

LÓGICA SECUENCIAL Y COMBINATORIA

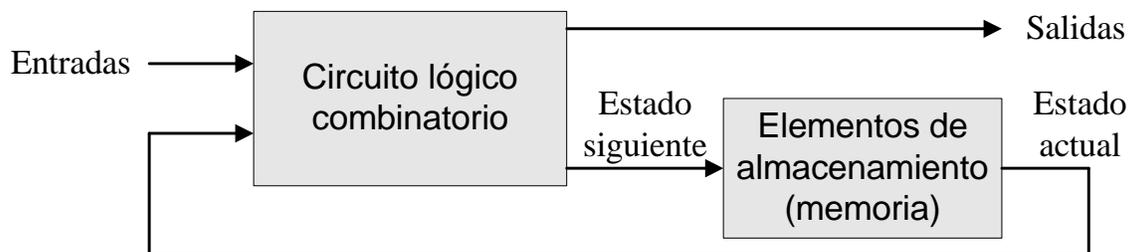
SESIÓN # 12

5.1 Introducción a los sistemas secuenciales.

Hasta ahora, los circuitos lógicos que se han considerado han sido combinatorios. En estos las salidas en cualquier punto del tiempo dependen completamente de las entradas que se presenten en ese momento. Aunque los circuitos combinatorios son la base para un gran número de aplicaciones, en la práctica la mayoría de los sistemas también incluyen elementos de almacenamiento, por lo que su análisis y diseño se debe realizar en términos de circuitos secuenciales [4].

Un circuito lógico secuencial es aquel cuyas salidas no solo dependen de sus entradas actuales, sino también de su posición o estado actual, almacenada en elementos de memoria [3].

En la siguiente figura se presenta un diagrama a bloques de un circuito secuencial. Este consta de un circuito combinatorio y elementos de almacenamiento que juntos forman un sistema retroalimentado. Los elementos de almacenamiento son dispositivos que pueden almacenar información binaria en su interior (1's y 0's). La información binaria almacenada define el *estado* del circuito secuencial [4]. El circuito secuencial recibe información binaria de entradas externas, las cuales, junto con el estado presente almacenado en memoria, determinan el valor binario de las salidas, así como la condición para cambiar el estado del circuito.



El diagrama a bloques muestra que las salidas de un circuito secuencial son función no solo de entradas externas sino también del estado actual o presente de los elementos de almacenamiento, cuyo estado siguiente o próximo, es así mismo, función de las entradas y del estado presente. Por lo tanto, un circuito secuencial se especifica por medio de una secuencia temporal de entradas, salidas y estados internos.

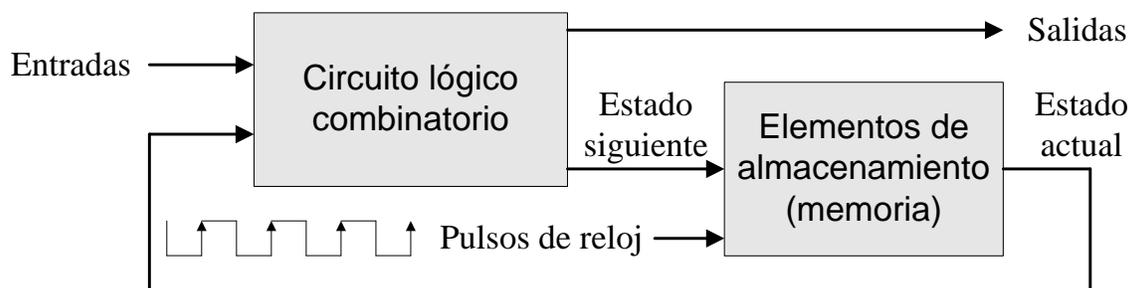
5.1.1 Tipos de circuitos secuenciales.

Existen dos tipos principales de circuitos secuenciales, los asíncronos y los síncronos.

Un **circuito secuencial asíncrono** es aquel que su estado puede ser afectado en cualquier instante al cambiar el valor de las entradas. Sus elementos de almacenamiento son dispositivos con retraso de tiempo, en los cuales la capacidad de almacenamiento se debe a que la señal tarda un tiempo finito en propagarse por el dispositivo.

En los sistemas asíncronos del tipo compuertas, los elementos de almacenamiento constan de compuertas lógicas donde el tiempo de propagación de las señales proporciona el espacio de almacenamiento requerido. Por lo tanto, un circuito secuencial asíncrono puede considerarse como un circuito combinacional con retroalimentación. Debido a la retroalimentación entre compuertas lógicas, el sistema puede operar de manera impredecible y algunas veces incluso hacerse inestable, por lo que se utilizan en muy contadas ocasiones.

Un **circuito secuencial síncrono** utiliza señales que modifican su estado solo en instantes discretos de tiempo. La sincronización se logra a través de un dispositivo de sincronización llamado *generador de señales de reloj* que produce una sucesión periódica de pulsos de reloj. Estos se distribuyen en todo el sistema de tal manera que los elementos de almacenamiento sólo sean afectados a la llegada de cada pulso:

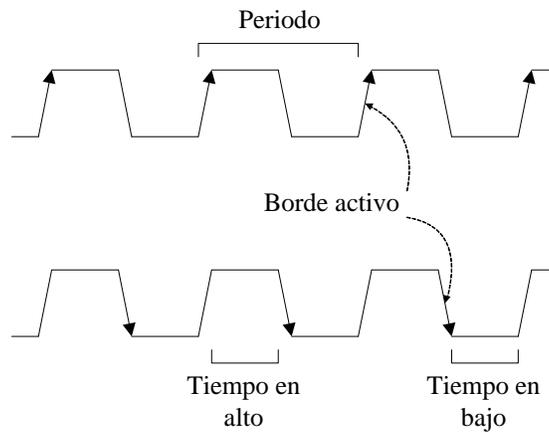


Las salidas de los elementos de almacenamiento cambian solo cuando hay pulsos de reloj. Los circuitos secuenciales síncronos que utilizan pulsos de reloj en la entrada de elementos de almacenamiento reciben el nombre de *circuitos secuenciales controlados por reloj* y son del tipo que se encuentra con mayor frecuencia en la práctica ya que rara vez manifiestan problemas de inestabilidad [4].

5.2 Señales de reloj.

Los cambios de estado de la mayoría de los circuitos secuenciales ocurren en tiempos especificados por una señal de *reloj* que corre libremente. La siguiente figura muestra los diagramas de tiempo y la nomenclatura de las señales típicas de reloj. Por convención, una señal de reloj es activa alta si el cambio de estado ocurre en el borde ascendente del reloj o cuando el reloj está en alto; y activo bajo en el caso complementario. El *periodo de reloj* es el tiempo entre transiciones sucesivas de la señal y la *frecuencia* (recíproco del periodo), el número de ciclos de reloj por segundo. El ciclo útil es el porcentaje de tiempo que la señal de reloj está en su nivel alto. Los sistemas digitales típicos, desde los relojes digitales hasta

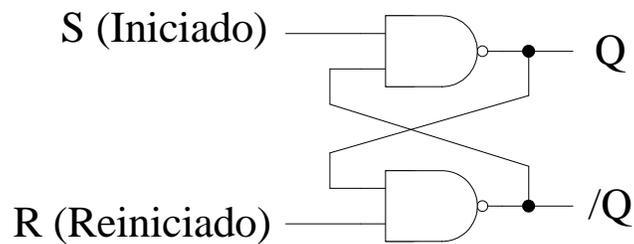
las supercomputadoras, usan un oscilador de cristal de cuarzo para generar la señal de reloj, con frecuencias que van desde 32.768 kHz hasta algunos Giga Hz [3].



5.3 Biestables y flip-flop's.

Los elementos de almacenamiento que se emplean en circuitos secuenciales asíncronos reciben el nombre de *biestables* o *latch* (candados, seguros o cerrojos), los cuales son dispositivos de almacenamiento de un bit que puede cambiar su valor independiente de una señal de reloj.

El **candado SR** es un circuito de dos compuertas NAND o dos compuertas NOR acopladas en cruz y cuyo funcionamiento está definido por una tabla de funciones:



S	R	Q	/Q	
0	1	1	0	Estado iniciado
1	1	1	0	
1	0	0	1	Estado reiniciado
1	1	0	1	
0	0	1	1	Indefinido

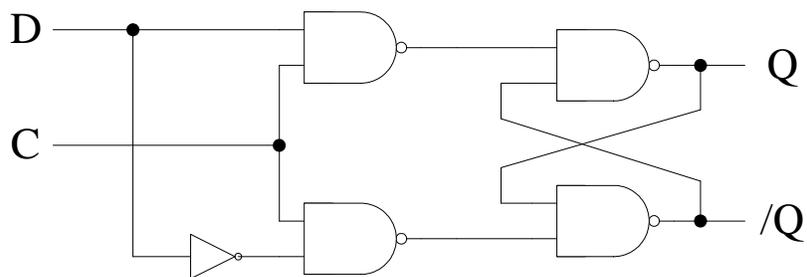
Tiene dos entradas rotulados S por inicialización y R por reinicialización. El candado SR tiene dos estados útiles. Cuando la salida $Q = 1$ y $/Q = 0$ se dice que está en el estado de inicialización. Cuando $Q = 0$ y $/Q = 1$, está en el estado de reinicialización. Las salidas Q y $/Q$ son normalmente complementos mutuos. Un estado indefinido se presenta cuando ambas salidas son iguales a 1. Esto ocurre cuando ambas entradas son iguales a 0 al mismo tiempo.

En condiciones normales, ambas entradas del candado permanecen en 1 a menos que tenga que cambiarse de estado. La aplicación de un 0 momentáneo en la entrada S hace que el candado pase al estado de inicialización. La entrada S debe regresar a 1 antes de que puedan ocurrir otros cambios.

Cuando ambas entradas están en el valor 1 es posible cambiar al estado de reinicialización aplicando momentáneamente un 0 a la entrada R. Después se puede cambiar R a 1 y el circuito se mantiene en el estado de reinicialización. En consecuencia, cuando las entradas S y R son iguales a 1, el candado puede encontrarse en el estado de inicialización o reinicialización, dependiendo de que entrada haya sido 0 antes del cambio.

Si se aplica un 0 a las entradas S y R del candado, ambas salidas pasan a 1. Esto produce un estado indefinido porque da origen a un siguiente estado impredecible cuando ambas entradas regresan a 1. En operación normal, esta condición se evita asegurando que no se apliquen 0s a ambas entradas en forma simultánea.

El **candado D** define una forma de eliminar la condición del estado indefinido en el SR, asegurando que las entradas S y R nunca sean iguales a 0 al mismo tiempo. La siguiente figura muestra el circuito y tabla de funciones correspondientes:



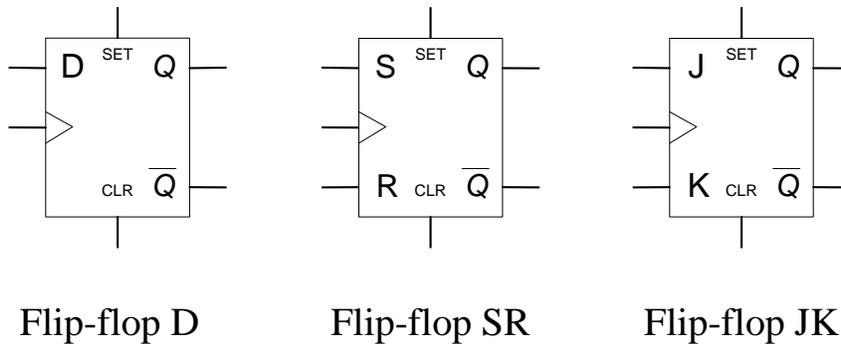
C	D	Estado siguiente de Q
0	X	No hay cambio
1	0	Q = 0; estado reinicializado
1	1	Q = 1; estado iniciado

Este candado tiene dos entradas. D (datos) y C(control). La señal D entra en forma normal y complementada. En tanto que la entrada de control tome el valor 0, el candado SR acoplado en cruz tiene ambas entradas en 1 y el circuito no puede cambiar de estado sin importar el valor de D. La entrada D se toma en cuenta cuando $C = 1$. En esta condición, si

Si D es 1 la salida Q cambia a 1, colocando el circuito en estado de inicialización. Si D es 0, la salida Q pasa a 0 y el circuito cambia al estado de reinicialización.

Los elementos de almacenamiento que se emplean en circuitos secuenciales controlados por reloj reciben el nombre de **flip-flops (FFs)**, los cuales son dispositivos de almacenamiento de un bit operados por el borde activo de la señal de reloj. Normalmente, un circuito secuencial utiliza gran cantidad de FFs para almacenar tantos bits como sean necesarios.

Un circuito FF tiene dos salidas, una para el valor normal y otra para el valor complementado del bit que es almacenado en él. La información binaria puede entrar en un FF de diversas maneras, lo que da origen a diferentes tipos de multivibradores biestables, como los FFs D, SR y JK:



Un circuito FF activado por borde ignora el pulso de reloj mientras se encuentra en un nivel constante pero se activa solo durante la transición de la señal del reloj. Algunos FFs se activan en el flanco positivo y otros en el flanco negativo del reloj.

Ejercicios:

128. Documentar la operación del FF D.
129. Documentar la operación del FF SR.
130. Documentar la operación del FF JK.

5.4 Flip-flop maestro-esclavo.

El FF maestro-esclavo consta de dos flip-flops D y un inversor. El primer flip-flop D se denomina maestro y el segundo esclavo. Cuando la entrada de pulsos de reloj C es 0, la salida del inversor es 1. El flip-flop esclavo se habilita y su salida Q es igual a la salida Y del flip-flop maestro. El flip-flop maestro se inhabilita porque C = 0. Cuando el pulso de entrada en C cambia al nivel 1 lógico, los datos de la entrada D externa se transfieren al maestro. Sin embargo, el esclavo se inhabilita porque su entrada C es 0. Cualquier cambio en la entrada

D externa cambia la salida Y del maestro pero no afecta la salida Q del esclavo. Cuando el pulso en C regresa a 0, el maestro se desactiva y se separa de la entrada D externa. Al mismo tiempo se habilita el esclavo y el valor de Y del maestro se transfiere a la salida Q del circuito completo.

